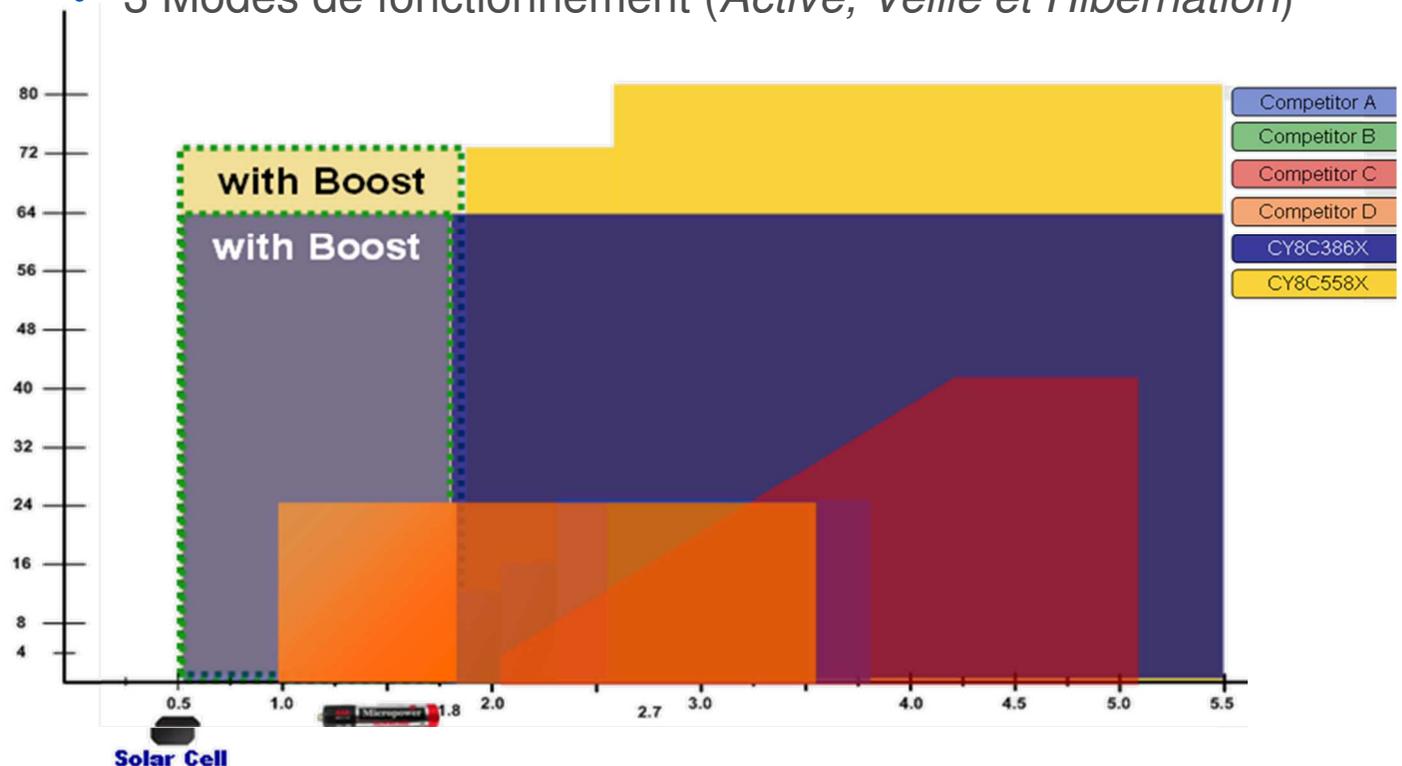


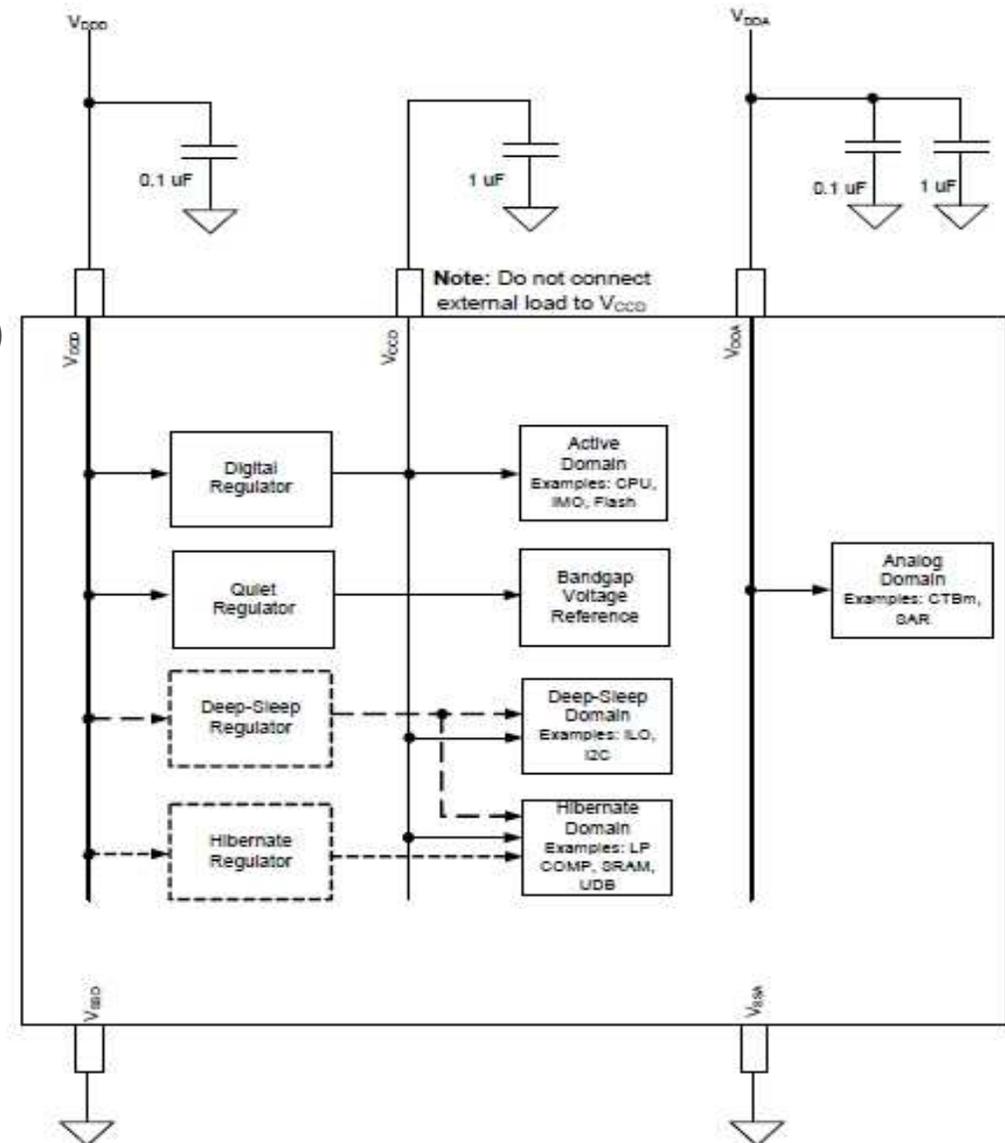
Gestion de l'Énergie

- Plage de fonctionnement la plus large de l'industrie
 - 0,5V à 5,5V avec toutes les fonctions analogiques et logiques activées
- Haute Performance à 0,5V (*tension d'une cellule photovoltaïque*)
 - PSoC 3 @ 67 MHz; PSoC 5LP @ 80 MHz
- 3 Modes de fonctionnement (*Active, Veille et Hibernation*)



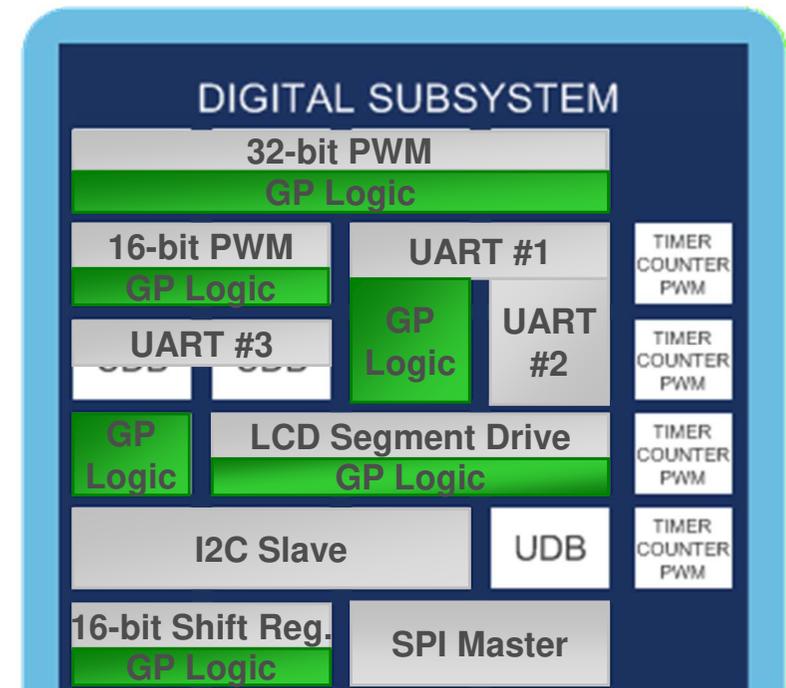
Ressources

- Alimentation externe: 1,71V à 5,5V
- Alimentation modules numériques (V_{DDD}):
 - Actif (Digital regulator)
 - Sommeil (Quiet regulator)
 - Sommeil profond (Deep-Sleep regulator)
 - Hibernation (Hibernate regulator)
- Alimentation modules analogiques (V_{DDA})



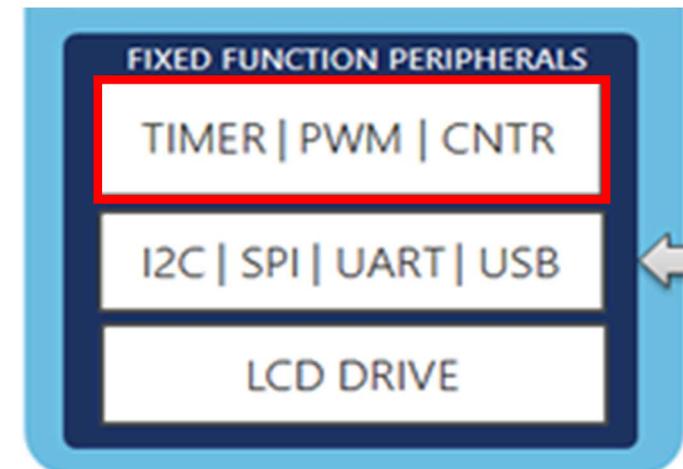
Structures logiques (UDBs)

- Flexibilité d'un PLD intégré avec une CPU
- Permet de synthétiser des composants logiques combinatoires et séquentiels à partir d'une bibliothèque très riche de fonctions pré-compilées
- PSoC Creator synthétise, place et route les composants automatiquement
- Le système de routage et d'interconnexion (DSI) permet aux fonctions des modules UDBs de communiquer avec les autres fonctions ou avec les broches E/S



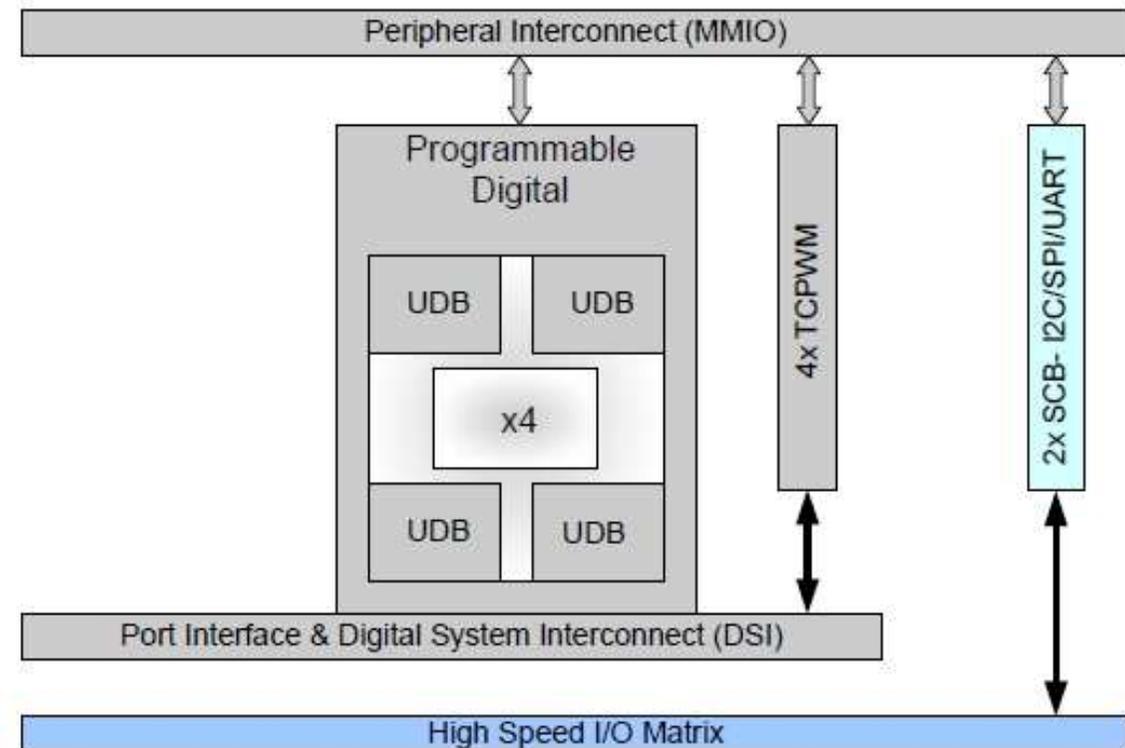
Structure Timer / Counter / PWM

- Fournit presque toutes les fonctionnalités d'un module UDB adapté pour la fonction timer, compteur ou MLI
- Accès facile à ces fonctions avec PSoC Creator
- Chaque structure peut être configurée en Timer, Compteur, ou générateur de signaux MLI sur 8 ou 16 bits
- Options programmables
 - Horloge, validation, RAZ, Capture et Arrêt des compteurs à partir de n'importe quelle entrée numérique
- Particularités
 - Composant configurable pour la mesure de largeurs d'impulsions ou de périodes
 - MLI avec « bande morte » et arrêt automatique



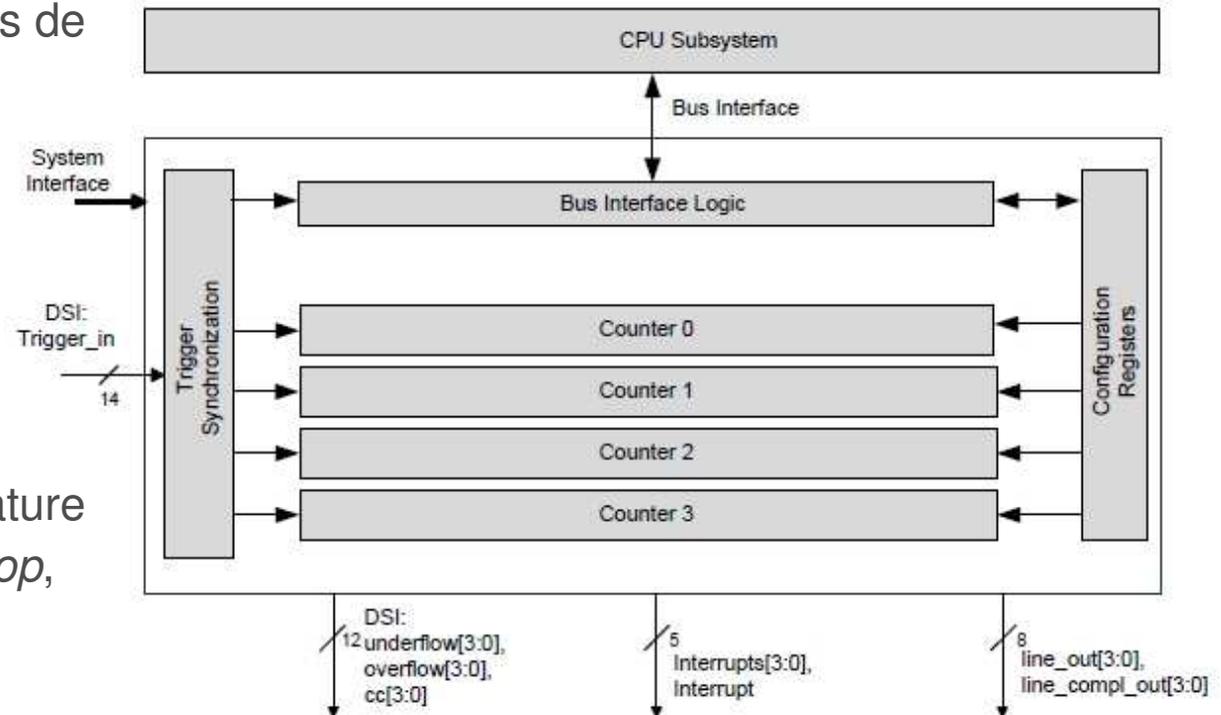
Architecture générale

- 4 x Blocs numériques pour la logique combinatoire et séquentielle (UDB)
- 4 x Timers, Compteurs et générateurs de signaux MLI (TCPWM)
- 2 x Modules de communication série (UART, I2C, SPI)



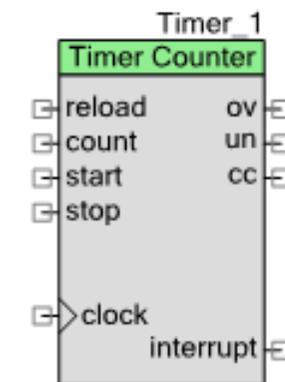
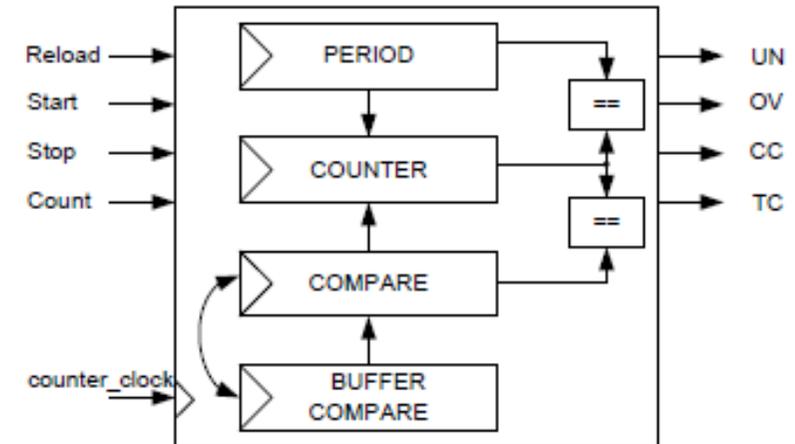
Fonctionnalités

- 4 x Timers, Compteurs et générateurs de signaux MLI sur 16 bits
- Modes pour chaque bloc TCPWM:
 - Timer et compteur
 - Capture
 - MLI
 - MLI aléatoire
 - MLI avec temps « mort »
 - Décodeur de signaux en quadrature
- Les signaux d'entrée *start*, *reload*, *stop*, *count* et *capture* sont routables et interconnectables
- Signaux de sortie *Overflow*, *Underflow* et *Capture/Compare* sont routables et interconnectables
- Modes Comptage, décomptage ou les deux
- Division fréquence Horloge (1, 2, ... 64,128)
- Génération d'interruption pour les signaux *Terminal Count*, *Capture/Compare*

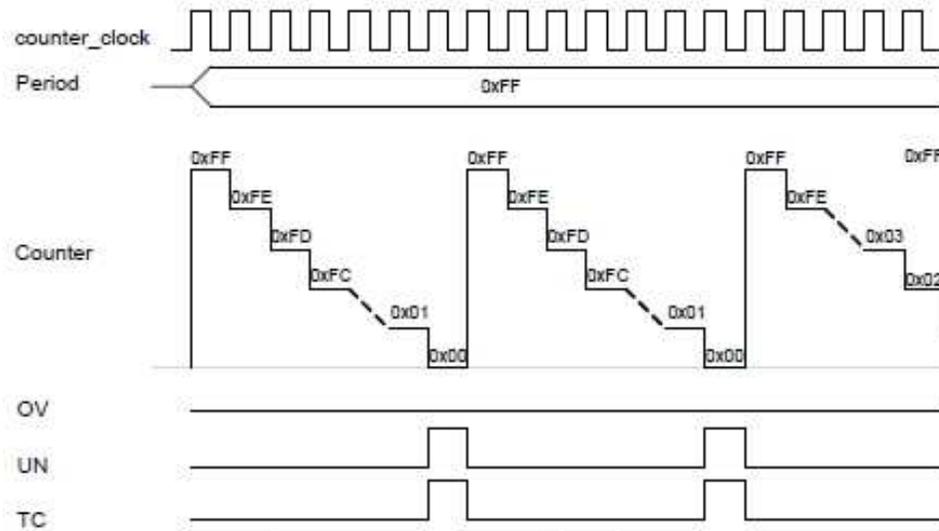


Fonctionnalités en mode Timer/Compteur

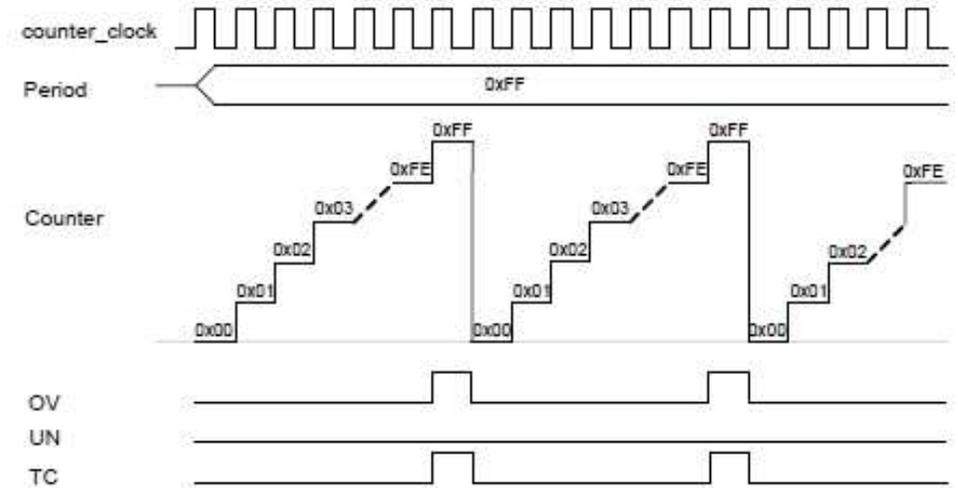
- Modes Comptage, décomptage ou les deux
- Fonctionnement en continu ou en mono-coup
- **Principes de fonctionnement:**
 - Le compteur est incrémenté ou décrémenté à chaque cycle d'horloge
 - $TCPWM_CNTx_Counter \leftarrow$ Valeur courante
 - $TCPWM_CNTx_Period \leftarrow$ Période du timer
 - Réinitialisation du registre compteur
 - A la fin d'une période en mode compteur $TCPWM_CNTx_Counter \leftarrow 0$ automatiquement
 - A la fin d'une période en mode décompteur $TCPWM_CNTx_Counter \leftarrow$ Période du timer
 - En mode compteur/décompteur le registre compteur est incrémenté sur une période du timer puis décrémenté
 - Condition Capture/Compare (CC)
 - Génération de CC si $TCPWM_CNTx_Counter == TCPWM_CNTx_Compare$
 - Génération d'interruption



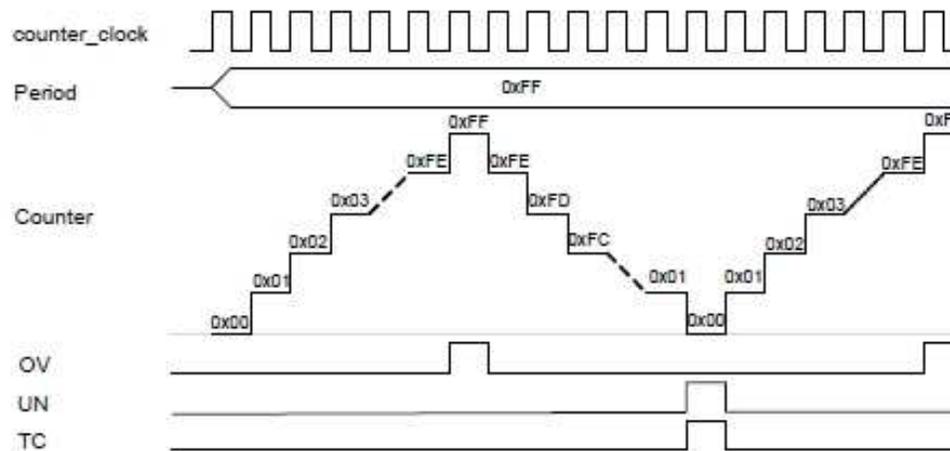
Modes de comptage



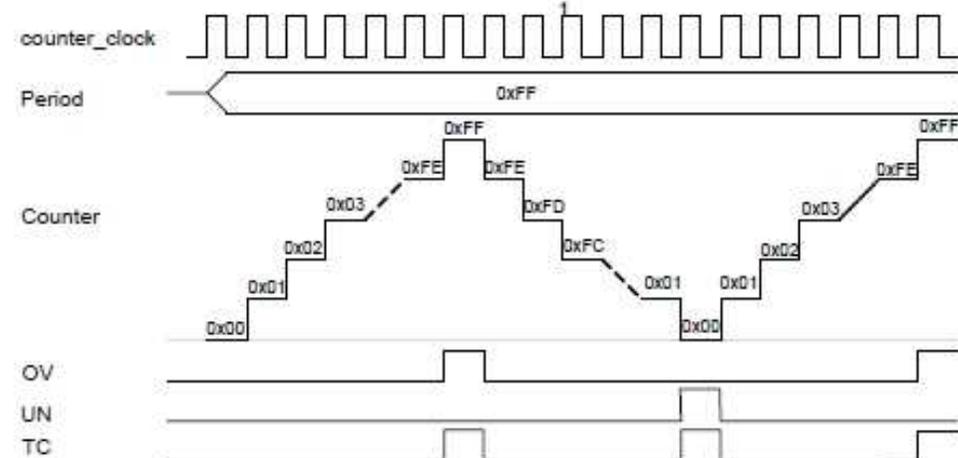
Comptage par décrémentation



Comptage par incrément

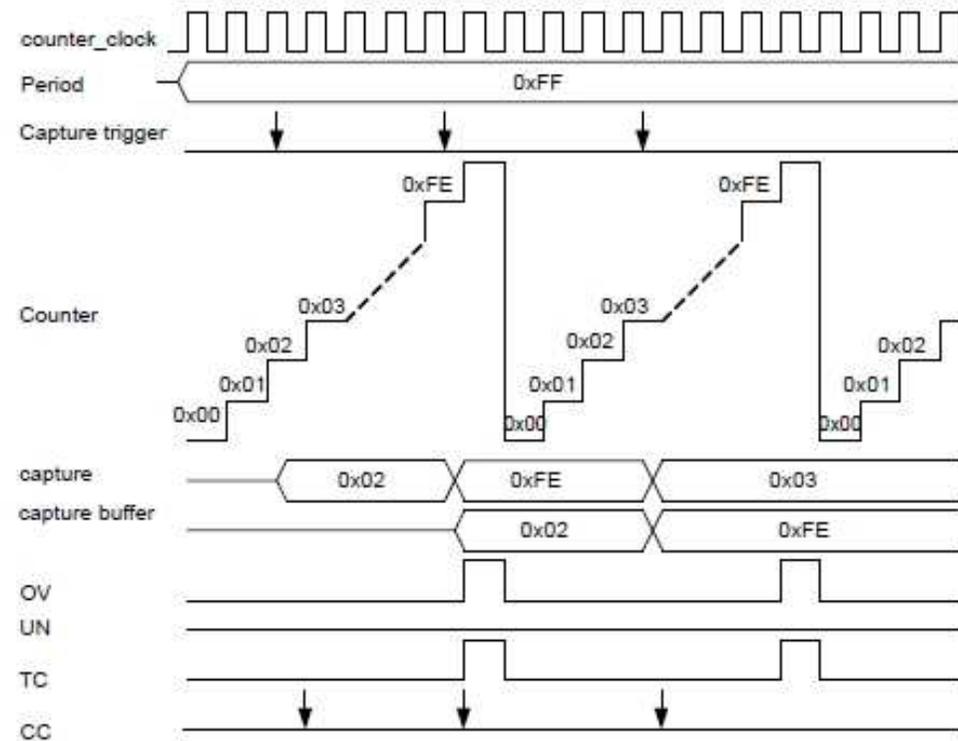
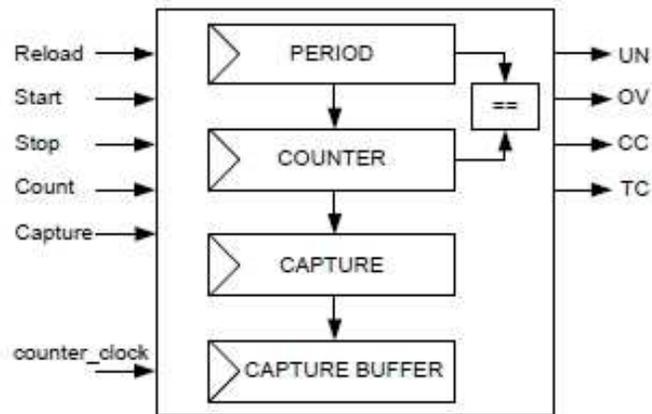


Comptage par incrément et décrémentation - mode0



Comptage par incrément et décrémentation - mode1

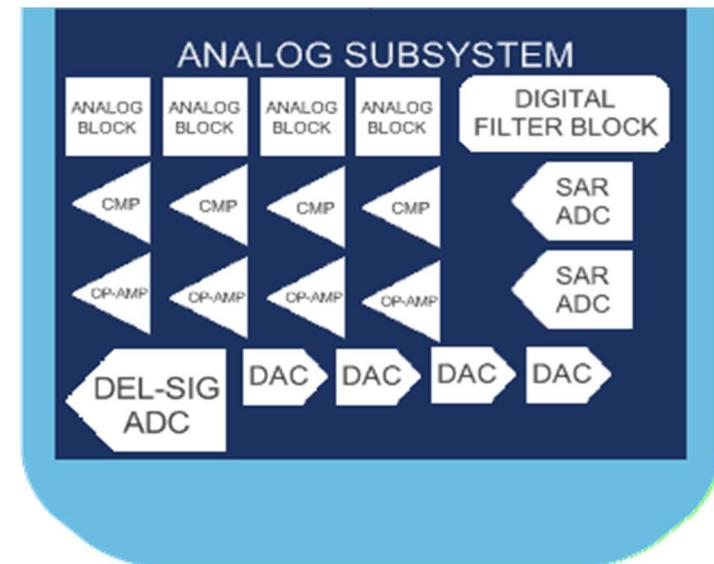
Mode capture



Capture, Comptage par incrément

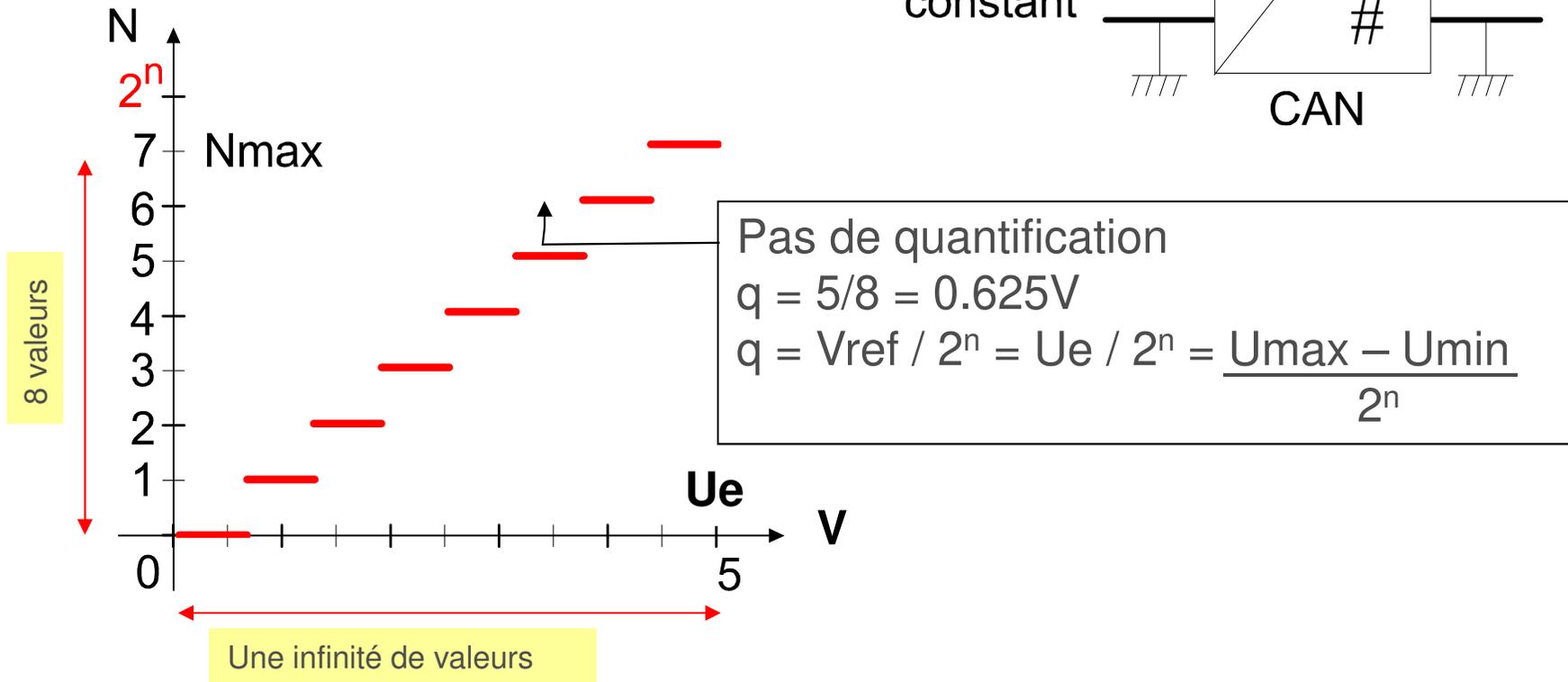
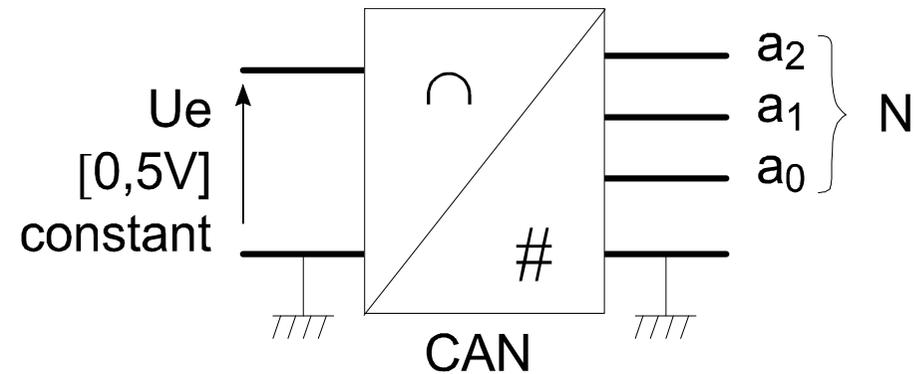
Système analogique configurable

- Routage Flexible : tous les GPIO peuvent être des Entrées/Sorties analogiques
- Tension de référence interne : +/- 0,1%
- CAN Delta-Sigma :
 - Résolution jusqu'à 20 bits
 - 16 bits à 48 ksps ou 12 bits à 192 ksps
- SAR ADC: 12 bits à 1 Msps
- CNA: résolution 8 à 10 bits, sortie courant /tension
- Comparateurs faible consommation
- Amplificateurs opérationnels (25 mA en sortie)
- Structures analogiques programmables:
 - Amplificateur à gain programmable (PGA)
 - Convertisseur courant-tension
 - Mélangeur de signaux
 - Echantillonneur -bloqueur
- Structures Filtrage numérique :
 - Filtres IIR et FIR
- Touches sensibles (CapSense)

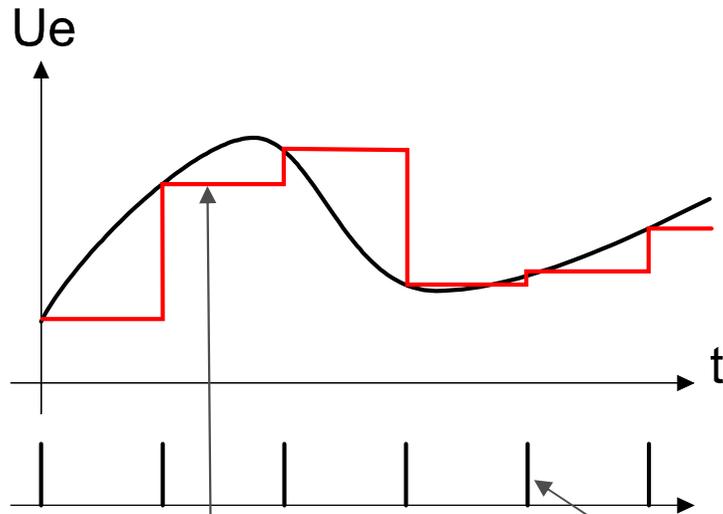


Principe de la Conversion Analogique Numérique

- Exemple d'un CAN 3 bits
($n = 3$)



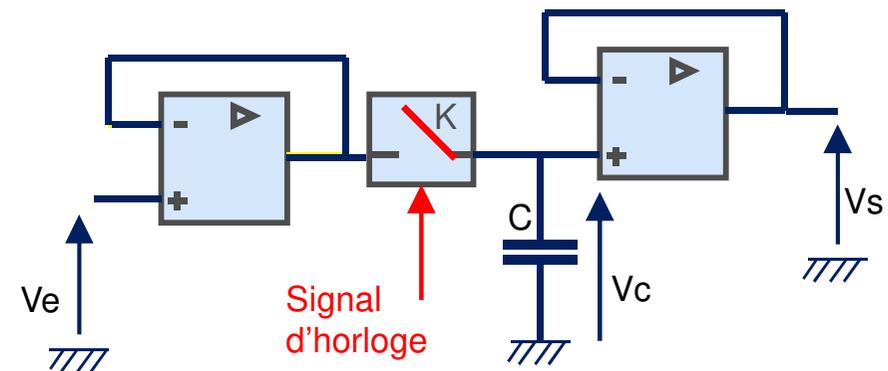
Conversion d'un signal variable



Tension d'entrée du CAN
le temps de conversion
doit être inférieur à T_e

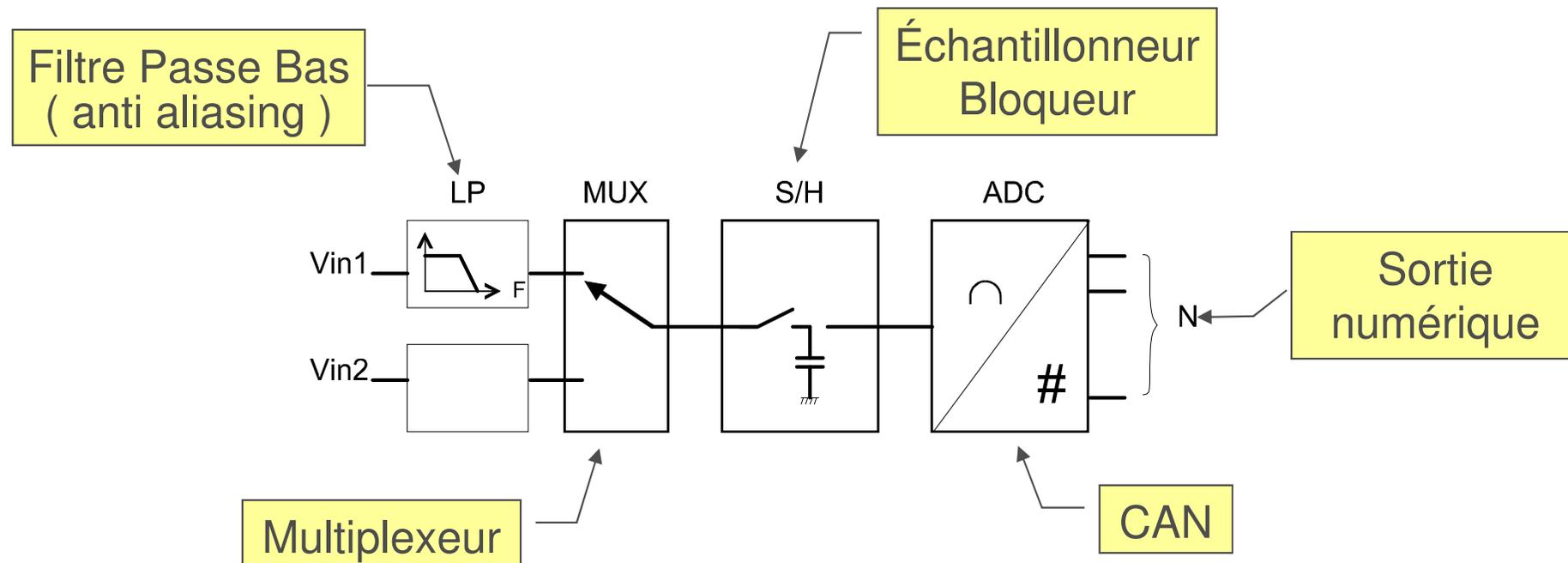
Commande de l'échantillonneur
Période T_e , Fréquence $F_e = 1/T_e$

En amont du CAN, on place un échantillonneur-bloqueur qui prélève régulièrement une valeur de U_e et bloque cette valeur jusqu'à l'échantillon suivant



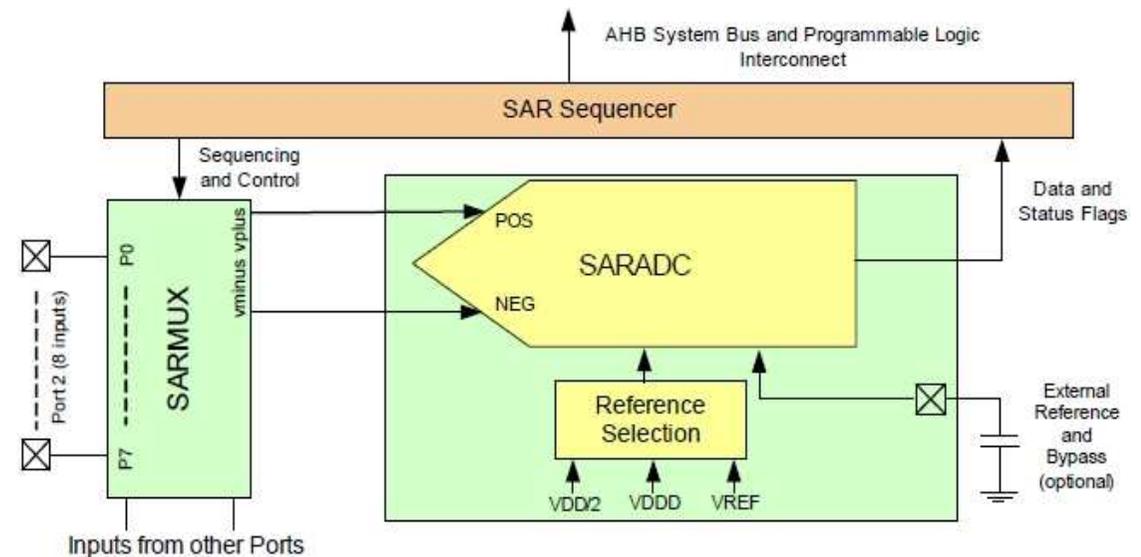
- La conversion analogique numérique implique une double quantification :
 - quantification temporelle (échantillonnage)
 - quantification en amplitude (résolution)

Schéma de la chaîne d'acquisition

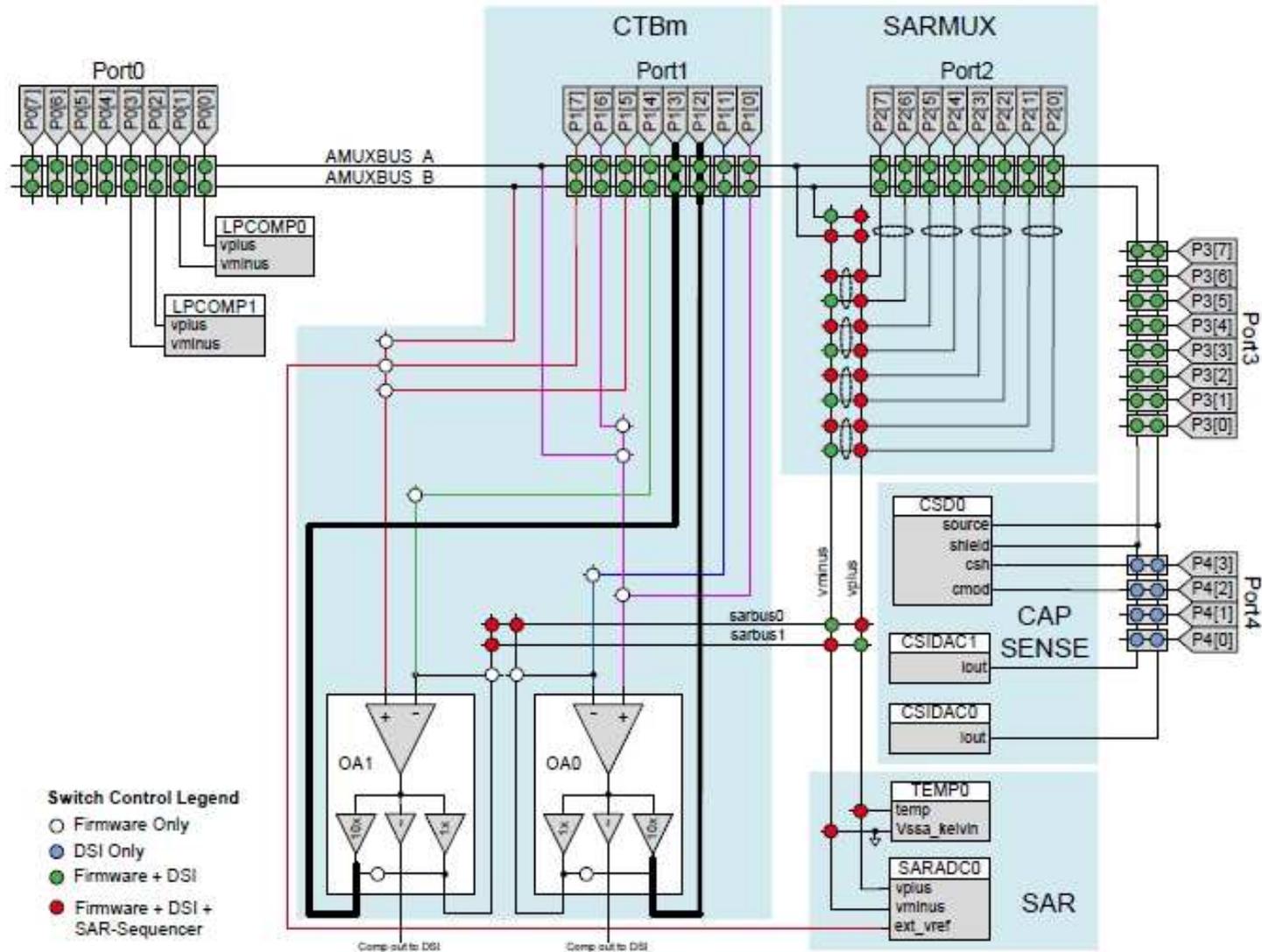


CAN à approximations successives (SARADC)

- Plage de tension : 1,71V à 5,5 V
- SAR ADC: 12 bits à 1 Méch.
- 8 voies en mode simple ou 4 voies en différentiel
- Multiplexeur analogique (SARMUX)
- Par voie :
 - Entrée externe ou signal interne
 - 4 fréquences d'acquisition sélectionnables
 - Résolution 8, 10 ou 12 bits
 - Moyennage sur 2 à 256 valeurs
- Déclenchement par logiciel, timer, ligne de port ou UDB
- Résultats sur 16 bits en signé
- Tension de référence sélectionnable
- Génération interruption

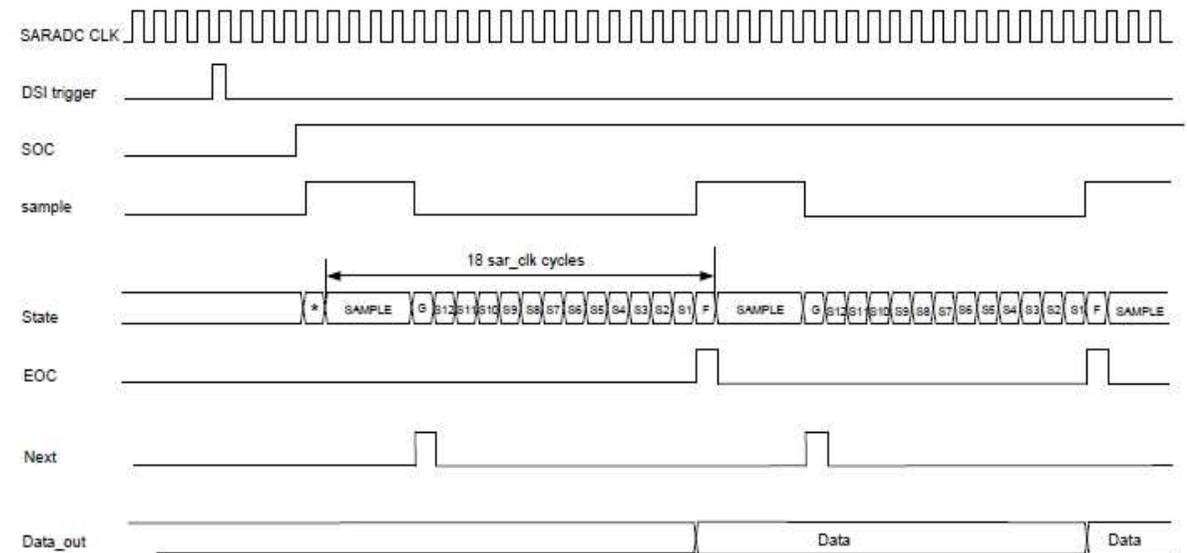


Routage des ports E/S vers le sous-système analogique



Acquisition valeurs négatives et chronogrammes

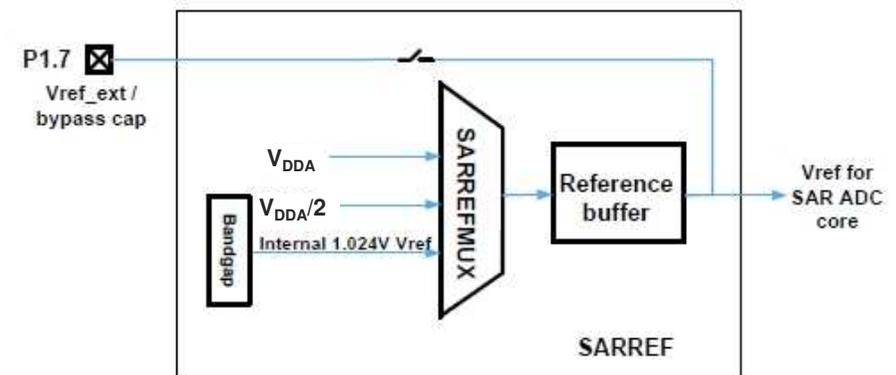
Single-ended/ Differential	Signed/Unsigned	SARMUX Vminus	SARMUX Vplus Range	Result Register
Single-ended	N/A ^a	V_{SSA}	$+V_{REF}$ $V_{SSA} = 0$	0x7FF 0x000
Single-ended	Unsigned	V_{REF}	$+2 \times V_{REF}$ V_{REF} $V_{SSA} = 0$	0xFFF 0x800 0
Single-ended	Signed	V_{REF}	$+2 \times V_{REF}$ V_{REF} $V_{SSA} = 0$	0x7FF 0x000 0x800
Single-ended	Unsigned	V_x	$V_x + V_{REF}$ V_x $V_x - V_{REF}$	0xFFF 0x800 0
Single-ended	Signed	V_x	$V_x + V_{REF}$ V_x $V_x - V_{REF}$	0x7FF 0x000 0x800
differential	Unsigned	V_x	$V_x + V_{REF}$ V_x $V_x - V_{REF}$	0xFFF 0x800 0
differential	Signed	V_x	$V_x + V_{REF}$ V_x $V_x - V_{REF}$	0x7FF 0x000 0x800



- Fréquence d'acquisition : 1 MHz à 18 MHz
- 18 cycles d'horloge pour une conversion

Tensions de référence

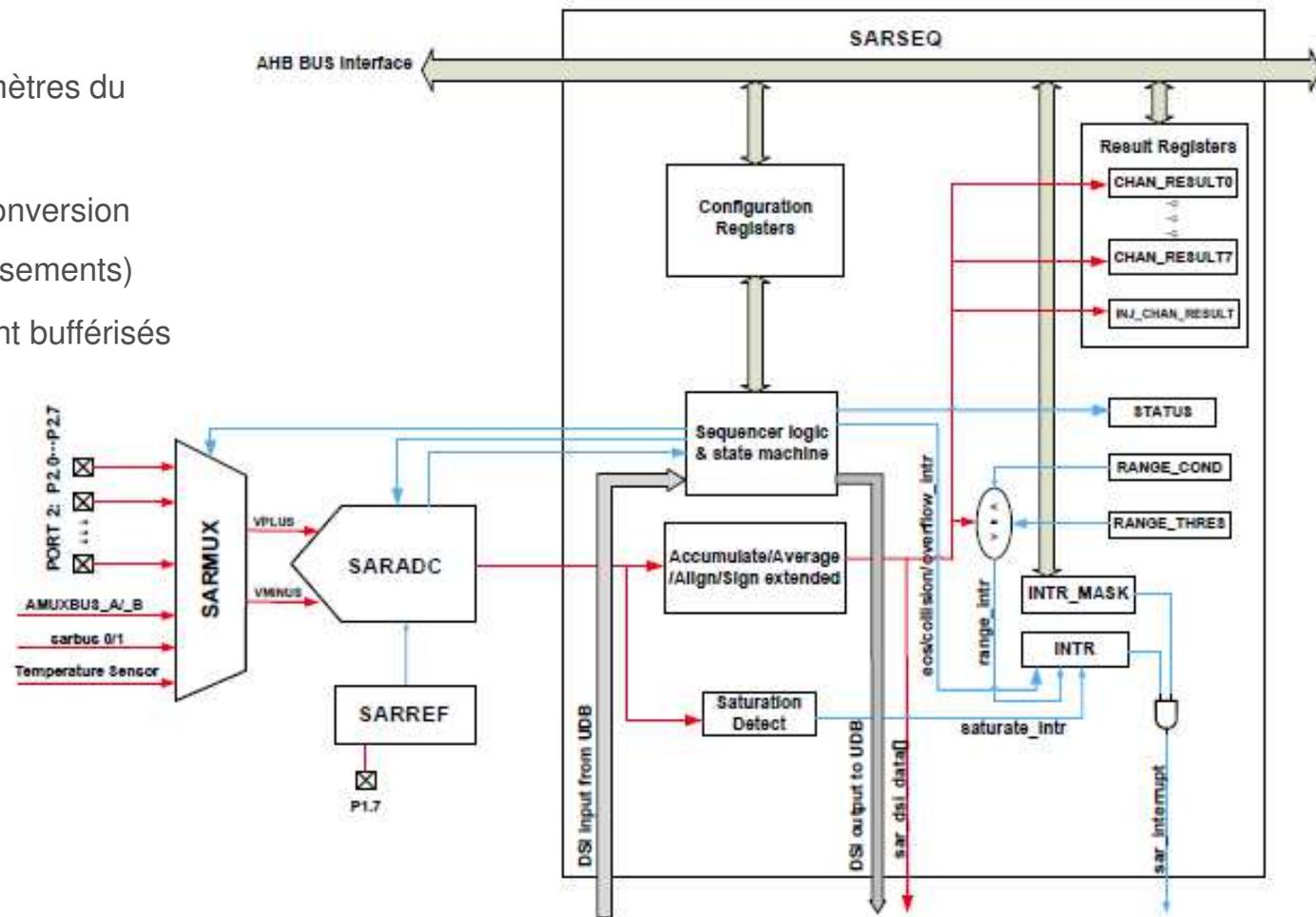
Mode de référence	Fréquence maximale	Nombre d'acquisitions par seconde
1,024V interne sans condensateur découplage	3 MHz	166 kéch.
1,024V interne avec condensateur découplage	18 MHz	1 Méch.
Tension externe	18 MHz	1 Méch.
$V_{DDA}/2$ sans condensateur découplage	3 MHz	166 kéch.
$V_{DDA}/2$ avec condensateur découplage	18 MHz	1 Méch.
V_{DDA}	18 MHz	1 Méch.



- Condensateur de découplage externe 100 nF

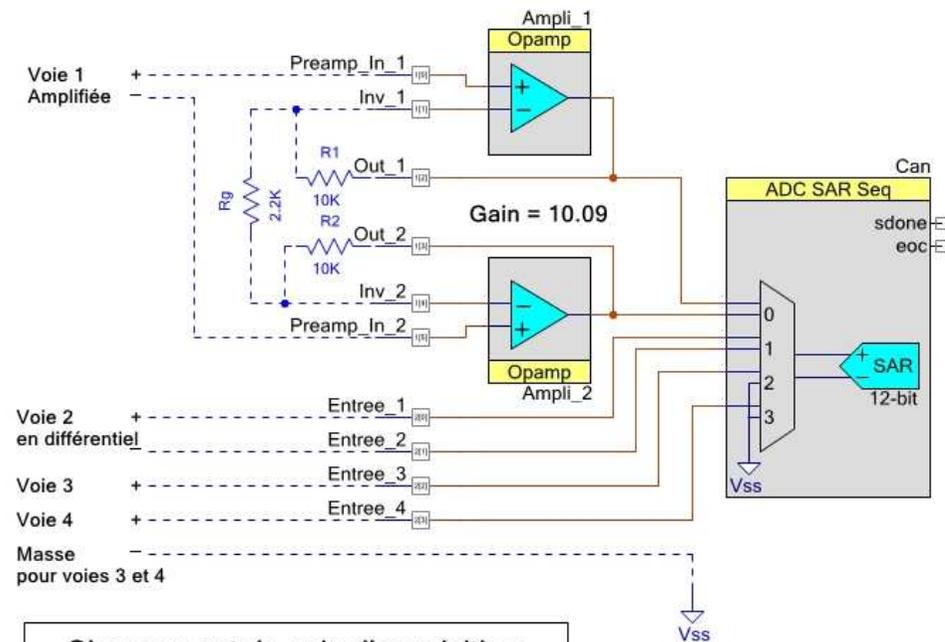
Séquenceur (SARSEQ)

- Commande automatique du multiplexeur analogique
- Commande directe des paramètres du convertisseur (SARADC)
- Traitement des résultats de conversion (moyennage, détection dépassements)
- Résultats des conversions sont bufférisés
- Génération Interruption



Exemple d'utilisation

CAN + Amplification



Voie 1
Amplifiée

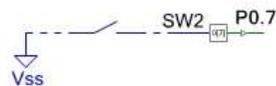
Voie 2
en différentiel

Voie 3

Voie 4

Masse
pour voies 3 et 4

Changement de voie d'acquisition



IHM

Console
UART

Standard

Affichage des résultats
dans la console



Configure 'ADC_SAR_SEQ_P4'

Name: Can

General Channels Built-in

Timing

Sample rate (SPS): 100

Clock frequency (kHz): 1843.200

Actual sample rate (SPS): 81

Clock source: Internal

Sample mode: Free running

Input range

Vref select: Internal 1.024 volts

Vref value (V): 1.024

Input buffer gain: Disable

Single ended negative input: Vss

Differential mode range: Vn +/- 1.024 V

Single ended mode range: 0.0 to Vref (1.024 V)

Result data format

Differential result format: Signed

Single ended result format: Signed

Data format justification: Right

Samples averaged: 256

Alternate resolution (bits): 8

Averaging mode: Fixed Resolution

Interrupt limits

Low limit (hex): 1F4

High limit (hex): 50B

Compare mode: (Result < Low_Limit) or (High_Limit <= Result)

Configure 'ADC_SAR_SEQ_P4'

Name: Can

General Channels Built-in

Acquisition times (ADC clocks)

A clks: 4 2.17 us

B clks: 4 2.17 us

C clks: 4 2.17 us

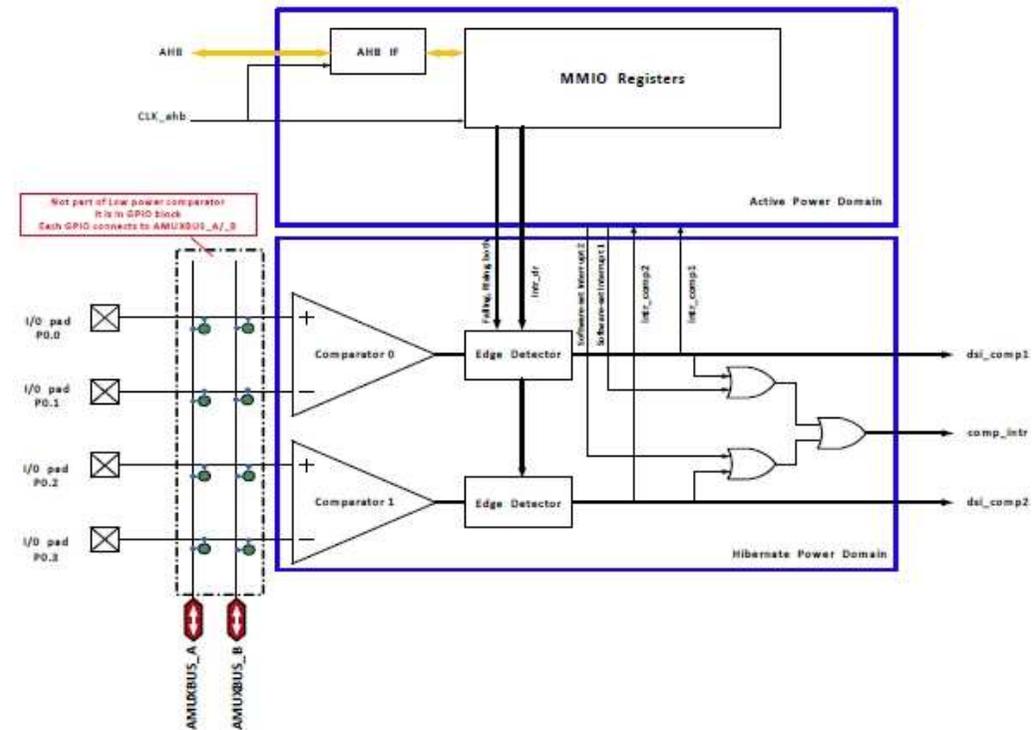
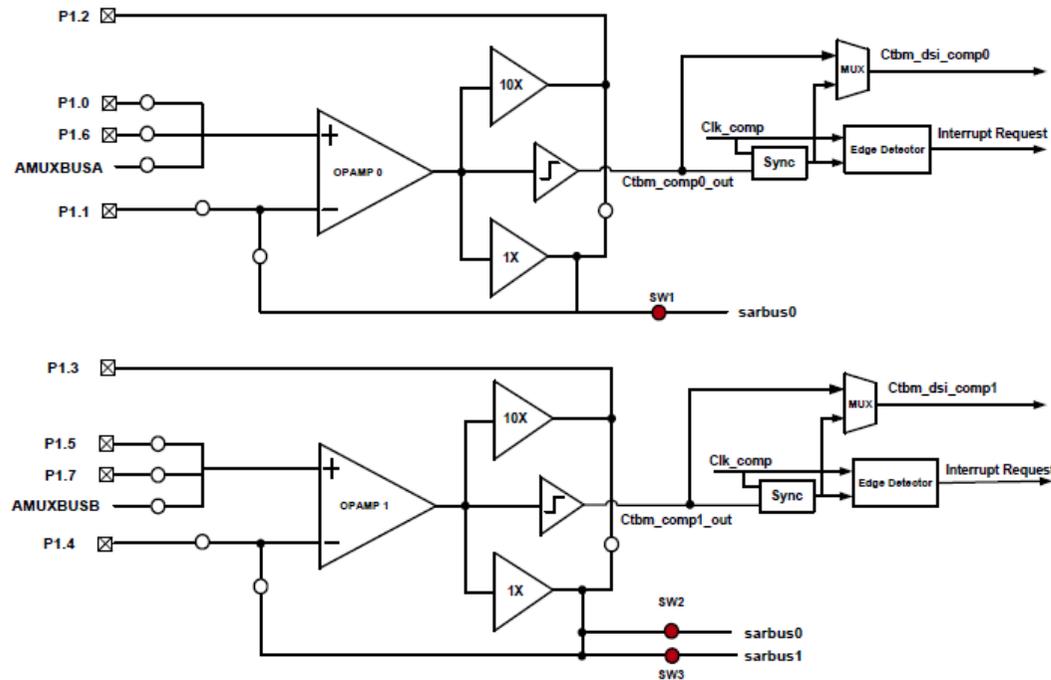
D clks: 4 2.17 us

Sequenced channels: 4

Channel	Enable	Resolution	Mode	AVG	Acq time	Conversion time	Limit detect
0	<input checked="" type="checkbox"/>	12	Diff	<input checked="" type="checkbox"/>	A clks	2.5 ms	<input checked="" type="checkbox"/>
1	<input checked="" type="checkbox"/>	12	Diff	<input checked="" type="checkbox"/>	A clks	2.5 ms	<input type="checkbox"/>
2	<input checked="" type="checkbox"/>	12	Single	<input checked="" type="checkbox"/>	A clks	2.5 ms	<input type="checkbox"/>
3	<input checked="" type="checkbox"/>	12	Single	<input checked="" type="checkbox"/>	A clks	2.5 ms	<input type="checkbox"/>
INJ	<input type="checkbox"/>	12	Diff	<input type="checkbox"/>	A clks	9.77 us	<input type="checkbox"/>

Datasheet OK Apply Cancel

Amplificateurs opérationnels, Comparateurs faible consommation

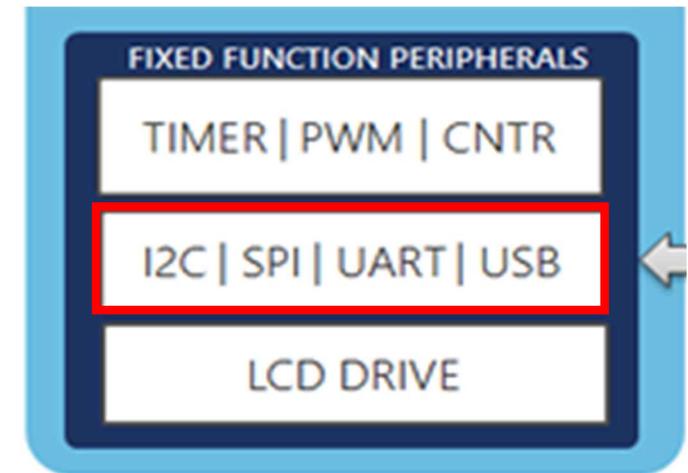


- 2 x blocs composés d'amplificateurs opérationnels (CTBm)
- Pour chaque bloc :
 - Mode suiveur
 - Mode comparateur
 - Mode amplificateur (résistances à l'extérieur)
bande de fréquence 4 MHz

- 2 x blocs comparateurs faible consommation
- Pour chaque bloc :
 - Entrées routables
 - Consommation et vitesse programmable
 - Mode économie d'énergie
 - Réveil du microcontrôleur par la sortie du comparateur en mode sommeil ou hibernation

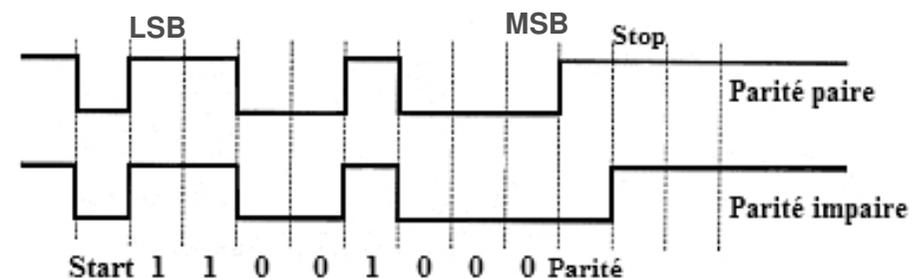
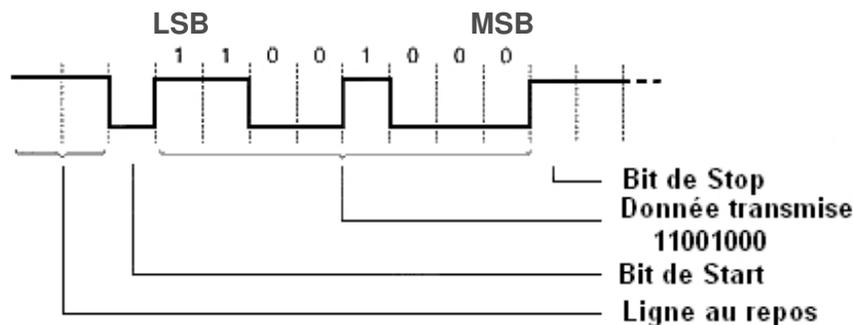
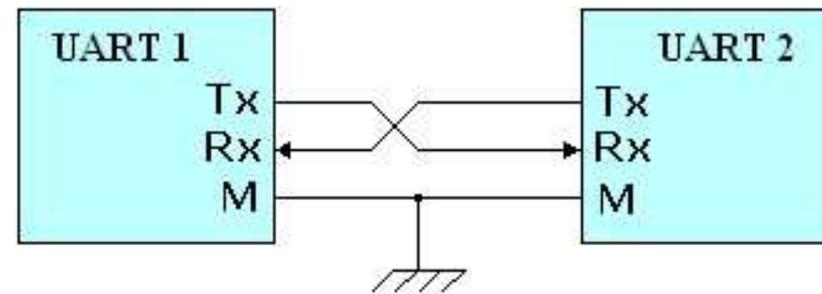
Périphériques de Communication série (SCB)

- **I2C Maître ou Esclave**
 - Débit maximum de 1000 kbits/s
 - Possibilité d'ajouter des esclaves I2C en utilisant les modules UDB
- **SPI Maître ou Esclave**
 - Débit maximum de 12 Mbits/s
 - Compatibilité Motorola SPI, TI, National microwire
- **UART**
 - Débit maximum de 921600 bits/s
 - Communication série asynchrone (RS232, RS485)
- **Composant USB Full Speed** (12 Mbits/s)
 - Faible consommation
 - Drivers intégrés dans PSoC Creator
- D'autres périphériques peuvent être intégrés suivant le modèle de la puce: CAN, Ethernet, HS USB, etc.



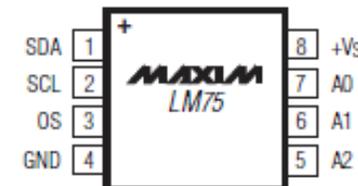
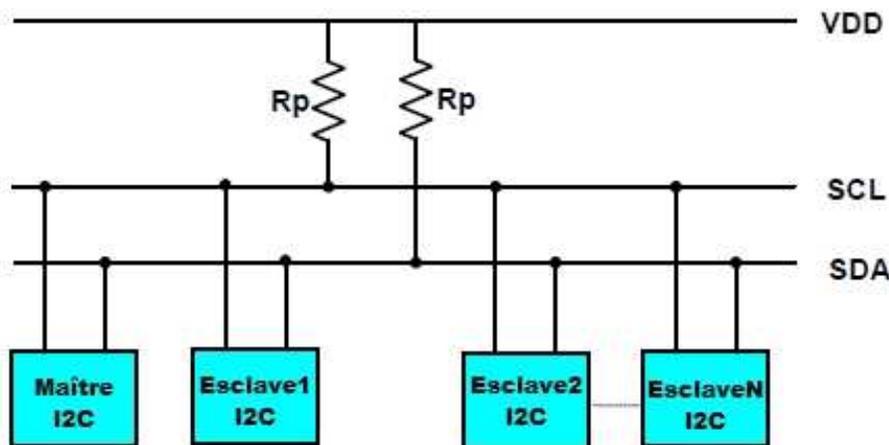
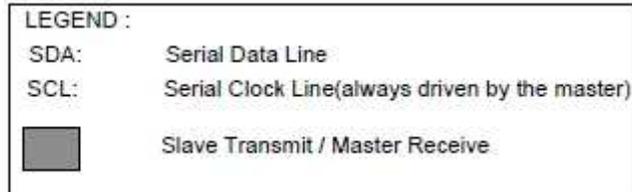
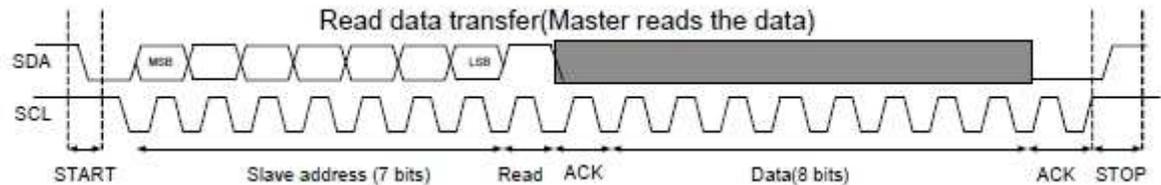
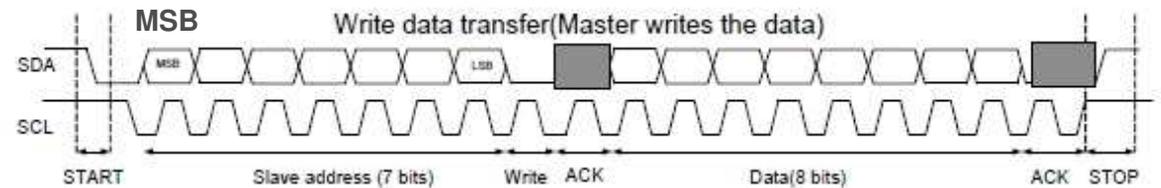
Liaison série standard

- UART (Universal Asynchronous Receiver/Transmitter)
- Liaison asynchrone
- Communication bidirectionnelle (Full duplex)
- De 110 bits/s à 1 Mbits/s
- 5, 7, et 8 bits de données
- 5, 7, et 8 bits de données
- Parité paire ou impaire
- 1, 1,5 et 2 bits de Stop

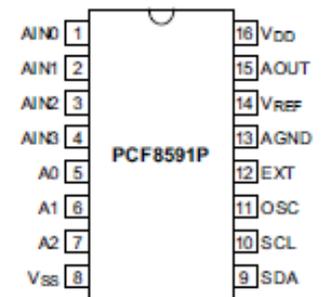


Bus Inter-Integrated Circuit (I2C)

- Mode Maître, Esclave ou Maître/Esclave
- 50 kbits/s à 1 Mbits/s
- 2 lignes d'interface à collecteur ouvert:
 - Ligne de données **SDA**
 - Ligne d'horloge **SCL**
- Adresse esclave sur 7 bits
 - 3 bits de poids faible permettent de fixer l'adresse matériellement
- Communication bidirectionnelle initiée par le maître



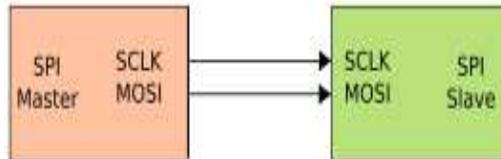
Capteur température



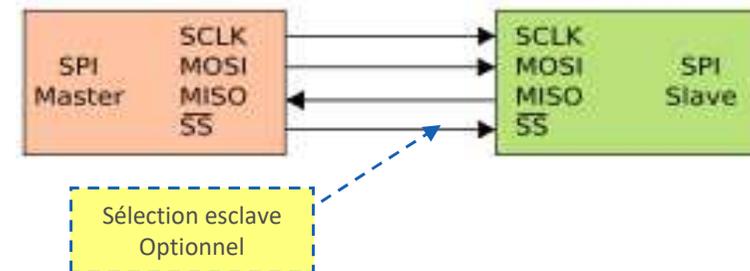
CAN/CNA 8 bits

Câblage du bus SPI

Un seul esclave: câblage minimum

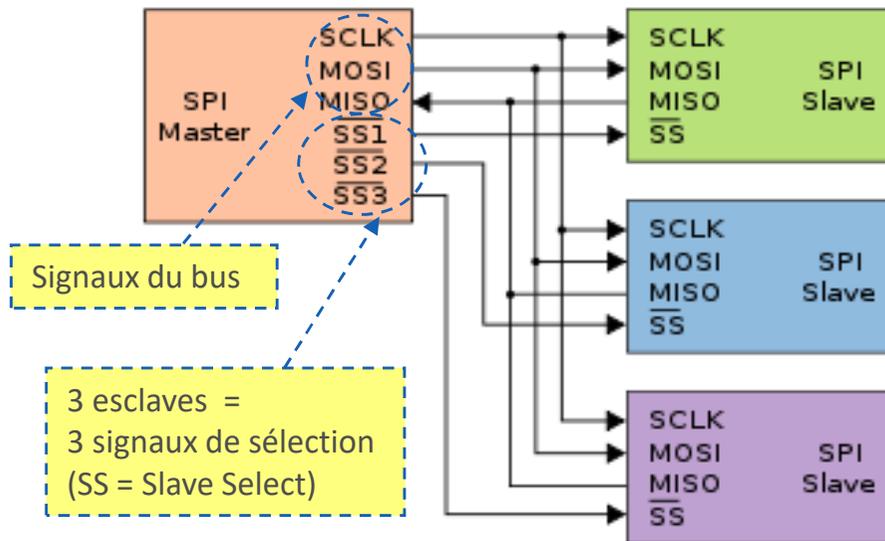


Un seul esclave ⇒ 4 signaux

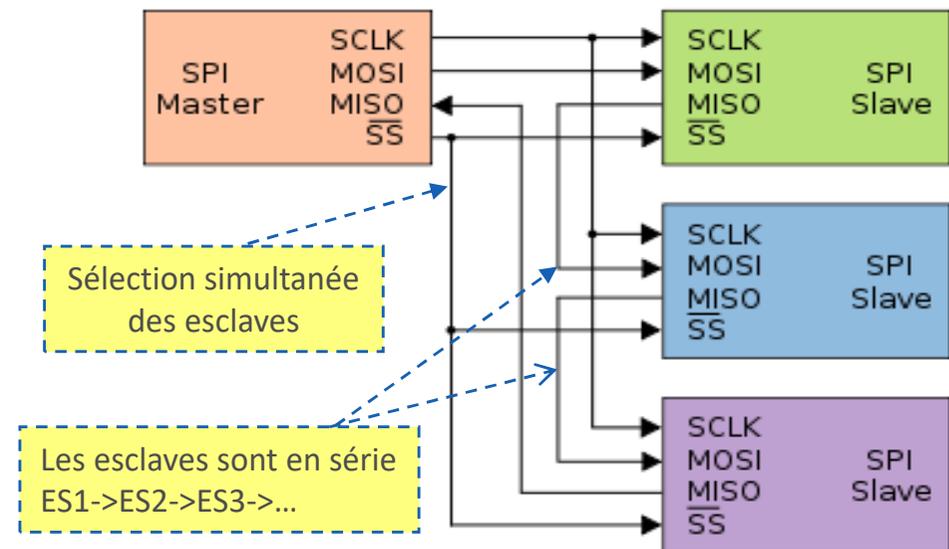


Plusieurs esclaves

Un seul esclave actif à la fois



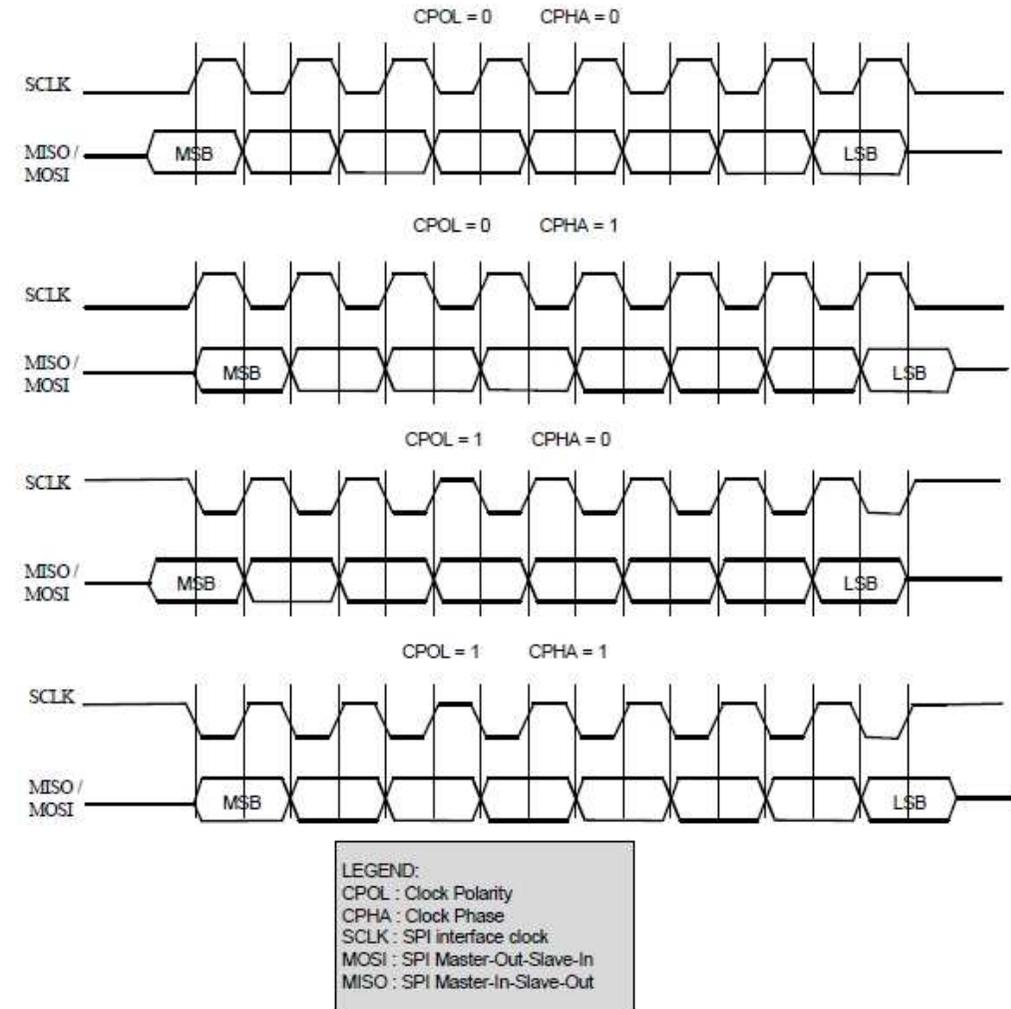
Plusieurs esclaves en *daisy chain*



Signal d'horloge du bus SPI

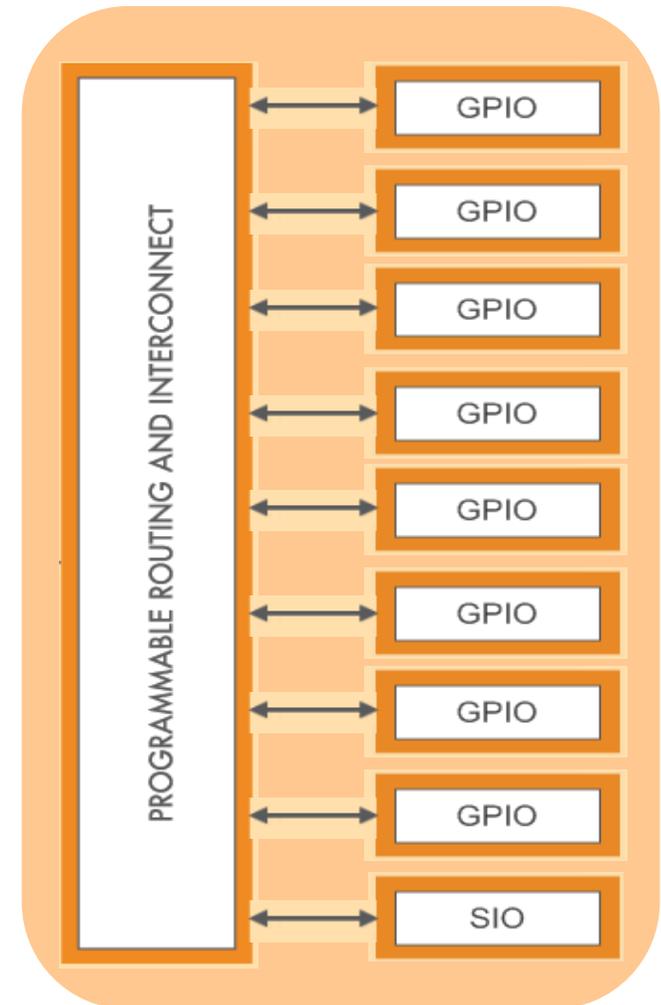
- 3 paramètres :
 - Fréquence d'horloge
 - Polarité de l'horloge, paramètre **CPOL** (Clock polarity)
 - Phase de l'horloge, paramètre **CPHA** (Clock phase)
- CPOL et CPHA ont deux états possibles :
 - ⇒ 4 possibilités de configuration
- Les configurations étant incompatibles entre elles :
 - ⇒ **Maître et esclave doivent avoir les mêmes paramètres**
- Fréquence d'horloge fixée par le maître :
 - ⇒ Tenir compte des possibilités des esclaves
 - ⇒ Pas de contrainte sur la précision

SPI-mode	CPOL	CPHA
0	0	0
1	0	1
2	1	0
3	1	1

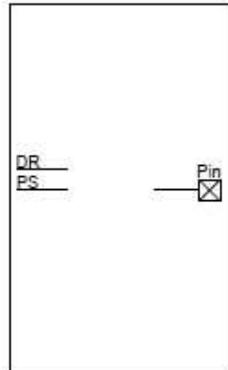


Systeme Entrées / Sorties

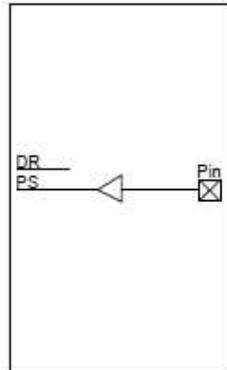
- Trois types E/S
 - GPIO, SIO, USBIO
- Routage des périphériques internes vers GPIO
- Réveil du processeur sur un événement analogique, logique ou I2C
- Temps de balayage des entrées programmable
=> réduction de la consommation et du bruit
- 8 modes possible pour interconnecter les entrées/sorties
- Seuil des niveaux d'entrée programmable pour le SIO
- Routage automatique et personnalisable dans PSoC Creator



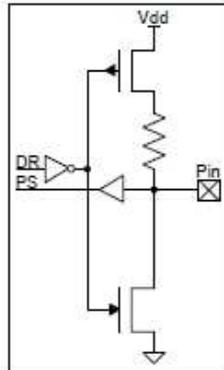
8 Modes de configuration des E/S



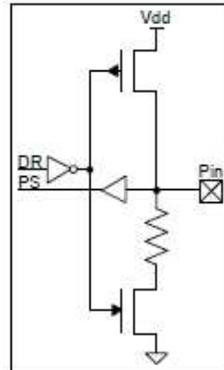
0. High Impedance Analog



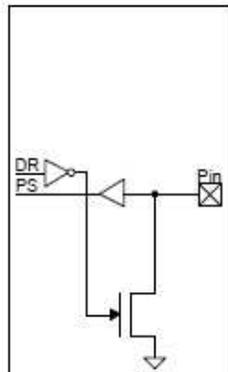
1. High Impedance Digital



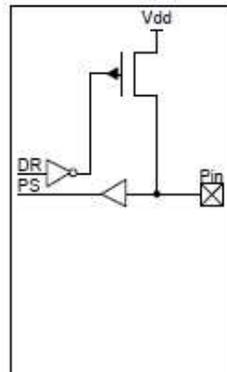
2. Resistive Pull Up



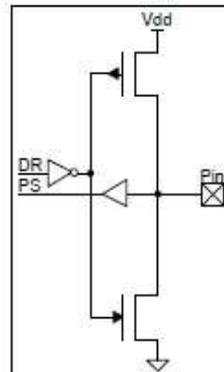
3. Resistive Pull Down



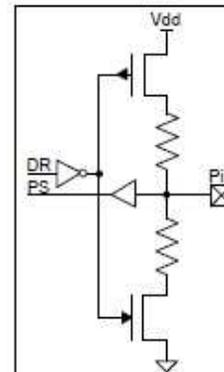
4. Open Drain, Drives Low



5. Open Drain, Drives High



6. Strong Drive



7. Resistive Pull Up & Pull Down

